



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Appln. Of: TAKAHASHI et al.
Serial No.: 10/755,983
Filed: January 13, 2004
For: Wired Board with Bump Electrode and Method of Fabricating the Same
DOCKET: NEC 03FN050

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Dear Sir:

Submitted herewith is the certified copy of Japanese Patent Application No. 2003-010192
in support of Applicant's priority claim under 35 USC 119.

Respectfully submitted,

Norman P. Soloway
Attorney for Applicant
Registration No. 24,315

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on March 18, 2004 at Tucson, Arizona.

By: 

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

05

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 1 7 日
Date of Application:

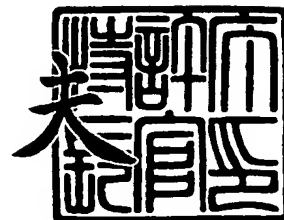
出 願 番 号 特 願 2 0 0 3 - 0 1 0 1 9 2
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 1 0 1 9 2]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s): 日本電気株式会社

2 0 0 3 年 1 2 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 6 2 3 5

【書類名】 特許願

【整理番号】 75310750

【提出日】 平成15年 1月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 23/12

【発明の名称】 バンプ電極付き配線基板及びその製造方法

【請求項の数】 14

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 N E C エレクトロニクス株式会社内

 【氏名】 高橋 信明

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 秋本 裕二

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 小田 三紀雄

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 古宇田 光

【特許出願人】

 【識別番号】 302062931

 【氏名又は名称】 N E C エレクトロニクス株式会社

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【手数料の表示】

 【予納台帳番号】 025782

 【納付金額】 21,000円

【代理人】

【識別番号】 100095740

【弁理士】

【氏名又は名称】 開口 宗昭

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0300181

【包括委任状番号】 9606620

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バンプ電極付き配線基板及びその製造方法

【特許請求の範囲】

【請求項 1】 高濃度不純物半導体基材に開口部を有するレジストを形成し

、
前記レジストの開口部に導電体層を形成し、

配線基板に形成してある電極パッドを前記導電体層と位置合わせさせてから当該導電体層を当該電極パッドに転写することにより前記配線基板にバンプ電極を形成することを特徴とするバンプ電極付き配線基板の製造方法。

【請求項 2】 前記高濃度不純物半導体基材は、前記導電体層の形成位置にピットを形成していることを特徴とする請求項 1 記載のバンプ電極付き配線基板の製造方法。

【請求項 3】 前記高濃度不純物半導体基材は、前記導電体層の形成位置にピットを形成した半導体基材に、不純物を高濃度で注入した基材であることを特徴とする請求項 1 又は 2 記載のバンプ電極付き配線基板の製造方法。

【請求項 4】 前記高濃度不純物半導体基材の不純物は、B、P、As、Sb、Pt のいずれかであることを特徴とする請求項 1 から 3 のいずれか記載のバンプ電極付き配線基板の製造方法。

【請求項 5】 前記導電体層は、Au、Cu、Ni、Pt、Pd、Ag、Sn、Pb のいずれか、又はいずれかを含む合金、又はペーストであることを特徴とする請求項 1 から 4 のいずれか記載のバンプ電極付き配線基板の製造方法。

【請求項 6】 前記導電体層は、電解メッキ法、無電解メッキ法、スパッタ法、蒸着法、印刷法のいずれかの方法で形成する請求項 1 から 5 のいずれか記載のことを特徴とするバンプ電極形成方法。

【請求項 7】 前記高濃度不純物半導体基材は、少なくとも前記導電体層の形成位置を粗化してあることを特徴とする請求項 1 から 6 のいずれか記載のバンプ電極形成方法。

【請求項 8】 前記高濃度不純物半導体基材は、少なくとも前記導電体層の形成位置にストライクメッキ処理を施してあることを特徴とする請求項 1 から 7

のいずれか記載のバンプ電極形成方法。

【請求項 9】 前記レジストの開口サイズは、前記ピットの開口サイズよりも小さいことを特徴とする請求項 2 から 8 のいずれか記載のバンプ電極形成方法。

【請求項 10】 前記レジストの開口サイズは、前記ピットの開口サイズよりも大きいことを特徴とする請求項 2 から 8 のいずれか記載のバンプ電極形成方法。

【請求項 11】 前記レジストの開口位置と前記ピットの開口位置とをずらしていることを特徴とする請求項 2 から 10 のいずれか記載のバンプ電極形成方法。

【請求項 12】 前記ピットの形状は、尖形状、四角錐形状、ピラミッド形状、半球形状のいずれかであることを特徴とする請求項 2 から 11 のいずれか記載のバンプ電極形成方法。

【請求項 13】 前記ピットの深さは、前記レジストの厚さの $1/4$ 以上としていることを特徴とする請求項 2 から 12 のいずれか記載のバンプ電極形成方法。

【請求項 14】 請求項 1 から 13 のいずれか記載の製造方法によって製造されることを特徴とするバンプ電極付き配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電極バンプ付き配線基板及びその形成方法に関し、特に、バンプ電極及びその形成方法に関する。

【0002】

【従来の技術】

従来、以下説明するような、バンプ電極付き配線基板の製造方法がある。

【0003】

図 7 は、従来のバンプ電極付き配線基板の模式的な製造工程図である。

シリコン (Si) 基板 10 に異方性エッチングにより微小なピラミッド形状の

ピット11を形成する(図7(a))。

【0004】

つぎに、Si基板10に金属膜12を形成するとともに、メッキレジスト13を形成してからピット11上部を開口する(図7(b))。

【0005】

つぎに、メッキレジスト13の開口部に電極となるAuをメッキで埋め込む(図7(c))。

【0006】

つぎに、Snメッキ銅リード15に施してあるSnメッキ16を、ピット11に位置合わせして熱圧着することによりAu-Sn合金とする(図7(d))。

【0007】

その後、Snメッキ銅リード15とSi基板10とを離すと、Si基板10に形成したAuが、Snメッキ銅リード15側に転写され、SnメッキにAu突起電極が形成される。

なお、金属膜12の代わりに、高濃度の拡散層を用いてもよい(特許文献1)。

【特許文献1】

特開昭58-48445公報

【0008】

【発明が解決しようとする課題】

しかし、従来の技術は、Si基板に金属膜を形成すると、ピットとAuとの密着力が高いため、AuのSnメッキ銅リード側への転写が効率よく行えなかった。

【0009】

また、Si基板に高濃度の拡散層を形成しようとする、長時間の熱拡散あるいはイオン注入を行う必要があるため、その形成時間が長くなる。したがって、製品の量産が困難となり、製品がコスト高となることがあった。

【0010】

さらに、ピットとAuとの密着力が小さいため、Auを形成したSi基板の搬

送時あるいは洗浄時等に、衝撃などの外力により Si 基板から Au が離脱して、歩留まりが低くなるという問題がある。

【0011】

そこで、本発明は、バンプ電極の生産効率を向上させることを課題とする。

【0012】

【課題を解決するための手段】

上記課題を解決するために、本発明のバンプ電極付き配線基板の製造方法は、高濃度不純物半導体基材に開口部を有するレジストを形成し、前記レジストの開口部に導電体層を形成し、配線基板に形成してある電極パッドを前記導電体層と位置合わせさせてから当該導電体層を当該電極パッドに転写することにより前記配線基板にバンプ電極を形成することを特徴とする。

【0013】

すなわち、本発明のバンプ電極付き配線基板の製造方法は、B、P、As、Sb、Pt のいずれかの不純物が高濃度に注入された Si 基材等の半導体基材に選択的にピットを形成し、メッキレジスト層を形成し、例えばピットに位置合わせしてメッキレジスト層を開口し、この開口に Au、Cu、Ni、Pt、Pd、Ag、Sn、Pb のいずれか、又はこれらのいずれかを含む合金、又はペーストである導電体を埋め込み、張り合わせた配線基板へ導電体を転写することにより、配線基板にバンプ電極を形成する。

【0014】

また、本発明のバンプ電極付き配線基板は、上記製造方法によって製造されることを特徴とする。

【0015】

【発明の実施の形態】

以下、本発明の実施形態について、図面を参照して説明する。

【0016】

(実施形態 1)

図 1 は、本発明の実施形態 1 の電極バンプ付き配線基板の模式的な製造工程図である。

【0017】

まず、ボロン等の不純物が、例えば $1 \times 10^{17} \text{ cm}^{-3}$ 以上の高濃度に注入され、 $1 \times 10^{-1} \Omega \cdot \text{cm}$ 以下の低電気抵抗となっている Si 基板に、異方性エッチング又は等方性エッチングにより微小な尖形状、四角錐形状、ピラミッド形状あるいは半球形状であって、開口部が例えば $10 \mu\text{m} \times 10 \mu\text{m}$ で深さが $2 \mu\text{m}$ 程度のピット 2 を形成し、高濃度不純物半導体基材である高濃度不純物 Si テンプレート 1 を製造する (図 1 (a))。

【0018】

つぎ、高濃度不純物 Si テンプレート 1 に、 $10 \mu\text{m}$ 程度の厚さのメッキレジスト 3 を形成し、ピット 2 の部分を開口する。つづいて、高濃度不純物 Si テンプレート 1 に電界をかけ、メッキレジスト 3 の開口部に Au を電解メッキ法により埋め込み、例えば $10 \mu\text{m} \times 10 \mu\text{m}$ の大きさの Au メッキ埋込層 4 とする (図 1 (b))。

【0019】

また、半導体チップ 5 に、Al、Au 等から成る電極パッド 6 を例えば $10 \mu\text{m} \times 10 \mu\text{m}$ の大きさで形成しておく。そして、高濃度不純物 Si テンプレート 1 のメッキレジスト 3 を剥離してから、配線基板である半導体チップ 5 の電極パッド 6 を Au メッキ埋込層 4 に位置合わせし、熱圧着等により接合する。このとき超音波等の振動エネルギーを付加させれば電極パッド 6 と Au メッキ埋込層 4 との接合がより効果的である (図 1 (c))。

【0020】

最後に、Au メッキ埋込層 4 を電極パッド 6 に転写させ、先端がピラミッド形状の Au バンプ 7 を半導体チップ 5 に形成する (図 1 (d))。

【0021】

なお、メッキレジスト 3 の代わりに酸化膜層を形成してもよい。不純物の濃度は $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{22} \text{ cm}^{-3}$ であれば良く、ボロンの他、As、Psb、Pt 等でもよい。また、Au メッキ埋込層に代えて、Au、Cu、Ni、Pt、Pd、Ag、Sn、Pb のいずれか、又はいずれかを含む合金のメッキ埋込層としてもよい。

【0022】

また、Auメッキ埋込層に代えて、上記各材料のペーストでも良く、電気伝導率の高い材料が好ましい。更にその形成方法は無電解メッキ法、蒸着法、スパッタ法、蒸着法、印刷法などでも良く、特に方法は問わない。

【0023】

さらに、高濃度不純物Siテンプレート1は、ピット2の形成後に、不純物を高濃度に注入することによって製造してもよい。

【0024】

また、本実施形態では、半導体チップ5を例に説明したが、配線が形成される基板で、バンプ電極を通じて外部との電氣的接続が必要とされるものであればよい。

【0025】

高濃度不純物Siテンプレート1は、不純物が高濃度に注入され、低電気抵抗となっているため、電解メッキのシード層を改めて形成する必要が無く、高濃度不純物Siテンプレート1そのものに電界をかけることにより、ピット2内に電解メッキによりAuを埋め込むことができる。したがって、不純物を高濃度に注入するというプロセスが不要となるため、工程数の削減と低コスト化が図れる。

【0026】

(実施形態2)

図2は、本発明の実施形態2の電極バンプ付き配線基板の模式的な製造工程図である。なお、図2において、図1に示した部分と同様の部分には同一符号を付している。

【0027】

高濃度不純物Siテンプレート1の表面を、ソフトエッチング、サンドブラスト等により粗化することにより、粗化層8を形成する(図2(b))。

【0028】

図2(a)、図2(c)～図2(e)に示す工程は、図1(a)～図1(d)に示す工程と同様である。

【0029】

なお、粗化層 8 はピット 2 内部のみに形成してもよい。

【0030】

本実施形態では、高濃度不純物 Si テンプレート 1 に粗化層 8 を備えることにより、高濃度不純物 Si テンプレート 1 側と Au メッキ埋込層 4 との密着力を適度に増加させることによって、Au メッキ埋込層 4 の脱離を防止している。

【0031】

(実施形態 3)

図 3 は、本発明の実施形態 3 の電極バンプ付き配線基板の模式的な製造工程図である。なお、図 3 において、図 1 に示した部分と同様の部分には同一符号を付している。

【0032】

高濃度不純物 Si テンプレート 1 に、メッキレジスト 3 を形成し、ピット 2 の部分を開口し、ピット 2 内部表面に Au ストライクメッキを施し、Au 電解メッキに比較して密着力の高い Au ストライクメッキ層 9 を形成する (図 3 (b))

。

【0033】

図 3 (a), 図 3 (c) ~ 図 3 (e) に示す工程は、図 1 (a) ~ 図 1 (d) に示す工程と同様である。

【0034】

本実施形態では、ピット 2 と Au ストライクメッキ層 9 との界面で、高濃度不純物 Si テンプレート 1 側と半導体チップ 5 側とが剥離するため、図 3 (e) に示すように、Au バンプ 7 には Au ストライクメッキ層 9 が含まれるようになる。

。

【0035】

また、本実施形態では、高濃度不純物 Si 基板 1 に代えて、ピットを形成した Si 基板に高濃度の不純物層を、熱拡散法やイオン注入法で形成し、低電気抵抗としたものを用いてもよい。

【0036】

さらに、本実施形態では、高濃度不純物 Si テンプレート 1 のピット 2 内部に

Au ストライクメッキ層 9 を形成することにより、高濃度不純物 Si テンプレート 1 側と Au メッキ埋込層 4 との密着力を適度に増加させることによって、Au メッキ埋込層 4 の脱離を防止している。

【0037】

(実施形態 4)

図 4 は、本発明の実施形態 4 の電極バンプ付き配線基板の模式的な製造工程図である。なお、図 4 において、図 1 に示した部分と同様の部分には同一符号を付している。

【0038】

高濃度不純物 Si テンプレート 1 に、メッキレジスト 3 を塗布し、ピット 2 より開口サイズが小さくなるように開口し、Au を電解メッキ法により埋め込み、例えば $6\mu\text{m} \times 6\mu\text{m}$ の大きさで Au メッキ埋込層 4 とする (図 4 (b))。

【0039】

図 4 (a)、図 4 (c) 及び図 4 (d) に示す工程は、図 1 (a)、図 1 (c) 及び図 1 (d) に示す工程と同様である。

【0040】

なお、ピット 2 内部又は高濃度不純物 Si テンプレート 1 に、図 2 (b) に示すように粗化層 8 を形成したり、図 3 (b) に示すように Au ストライクメッキ層 9 を形成したりしてもよい。

【0041】

本実施形態では、メッキレジスト 3 の開口サイズが、ピット 2 のサイズより小さくなるようにしているので、アスペクト比が大きく先端がピラミッド形状の Au バンプ 7 を形成できる。このため、隣接する金属バンプ間でショートが生じにくくなる。よって、狭ピッチパターンに有利になる。このような、Au バンプ 7 を備えた半導体チップ 5 を、図示しないの基板とフリップチップ接続した場合に、基板あるいは半導体チップ 5 に外力が生じてても、Au バンプ 7 が応力を緩和することが可能となり、Au バンプ 7 と電極パッド 6 とが剥離しにくくなり、動作の信頼性が高まる。

【0042】

特に、携帯性が要求される製品に搭載する場合には、製品の軽量化、薄型化を図るために、Auバンプ7のピッチサイズを小さくする必要があるので、本実施形態のように、メッキレジスト3の開口サイズが、ピット2のサイズより小さくなるようにすると好ましい。

【0043】

一方、安価な製品に搭載する場合には、製品の軽量化、薄型化が不要であることが多いので、Auバンプ7のピッチサイズを小さくする必要もなくなり、したがって、メッキレジスト3の開口サイズが、ピット2のサイズより大きくなるようにして、アスペクト比を小さくして金属バンプの強度を高めるようにしてもよい。

【0044】

(実施形態5)

図5は、本発明の実施形態5の電極バンプ付き配線基板の模式的な製造工程図である。なお、図5において、図1に示した部分と同様の部分には同一符号を付している。

【0045】

高濃度不純物Siテンプレート1に、メッキレジスト3を形成し、メッキレジスト3のピット2に対してずらした部分を開口し、高濃度不純物Siテンプレート1全体に電界をかけ、メッキレジスト3の開口部にAuを電解メッキ法により埋め込み、Auメッキ埋込層4とする(図5(b))。

【0046】

図5(a)、図5(c)及び図5(d)に示す工程は、図1(a)、図1(c)及び図1(d)に示す工程と同様である。

【0047】

なお、ピット2内部又は高濃度不純物Siテンプレート1に、図2(b)に示すように粗化層8を形成したり、図3(b)に示すようにAuストライクメッキ層9を形成したりしてもよい。

【0048】

本実施形態では、メッキレジスト3の開口部を、ピット2からずらした部分に

形成しているので、Auメッキ埋込層4はピラミッド形状の一部が欠けたような柔軟性を有する形状となる。このような形状のAuバンプ7を備える半導体チップ5は、外力がかかってもAuバンプ7で、その外力が分散され、歪みが生じにくくなる。

【0049】

(実施形態6)

図6は、本発明の実施形態6の電極バンプ付き配線基板の模式的な製造工程図である。なお、図6において、図1に示した部分と同様の部分には同一符号を付している。

【0050】

まず、例えば $1 \times 10^{17} \text{ cm}^{-3}$ 以上の高濃度に注入され、 $10^{-1} \Omega \cdot \text{cm}$ 以下の低電気抵抗となっているSi基板を、高濃度不純物Siテンプレート1とする(図6(a))。

【0051】

つぎに、高濃度不純物Siテンプレート1に、メッキレジスト3を形成し、メッキレジスト3の所望の部分を開口してから、高濃度不純物Siテンプレート1全体に電界をかけ、メッキレジストの開口部にAuを電解メッキ法により埋め込み、Auメッキ埋込層4とする(図6(b))。

【0052】

図6(c)、図6(d)に示す工程は、図1(d)、図1(e)に示す工程と同様である。

【0053】

なお、ピット2内部又は高濃度不純物Siテンプレート1に、図2(b)に示すように粗化層8を形成したり、図3(b)に示すようにAuストライクメッキ層9を形成したりしてもよい。

【0054】

高濃度不純物Siテンプレート1は、低電気抵抗であるため、電解メッキのシード層を形成する必要が無い。また、高濃度不純物Siテンプレート1本体に電界をかけることにより、メッキレジスト3の開口部に電解メッキによりAuを埋

め込むことを可能として、工程数の削減と低コスト化とを図っている。

【0055】

【発明の効果】

以上説明したように、本発明によると、導電体層との密着力が高い高濃度不純物半導体基材にを形成するようにしているので、外力により高濃度不純物半導体基材から導電体層が離脱しにくくなり、歩留まりの低下が防止できるので、バンパ電極の生産効率を向上させることが可能になる。

【図面の簡単な説明】

【図1】

本発明の実施形態1の電極バンパ付き配線基板の模式的な製造工程図である。

【図2】

本発明の実施形態2の電極バンパ付き配線基板の模式的な製造工程図である。

【図3】

本発明の実施形態3の電極バンパ付き配線基板の模式的な製造工程図である。

【図4】

本発明の実施形態4の電極バンパ付き配線基板の模式的な製造工程図である。

【図5】

本発明の実施形態5の電極バンパ付き配線基板の模式的な製造工程図である。

【図6】

本発明の実施形態6の電極バンパ付き配線基板の模式的な製造工程図である。

【図7】

従来の電極バンパ付き配線基板の模式的な製造工程図である。

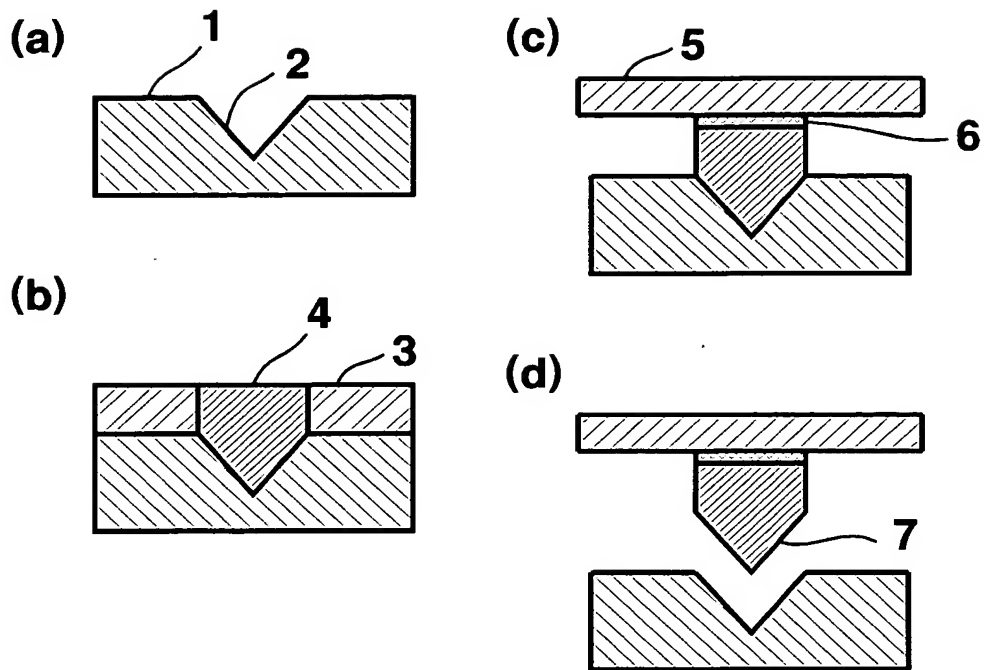
【符号の説明】

- 1 高濃度不純物 Si テンプレート
- 2 ピット
- 3 メッキレジスト
- 4 Auメッキ埋込層
- 5 半導体チップ
- 6 電極パッド

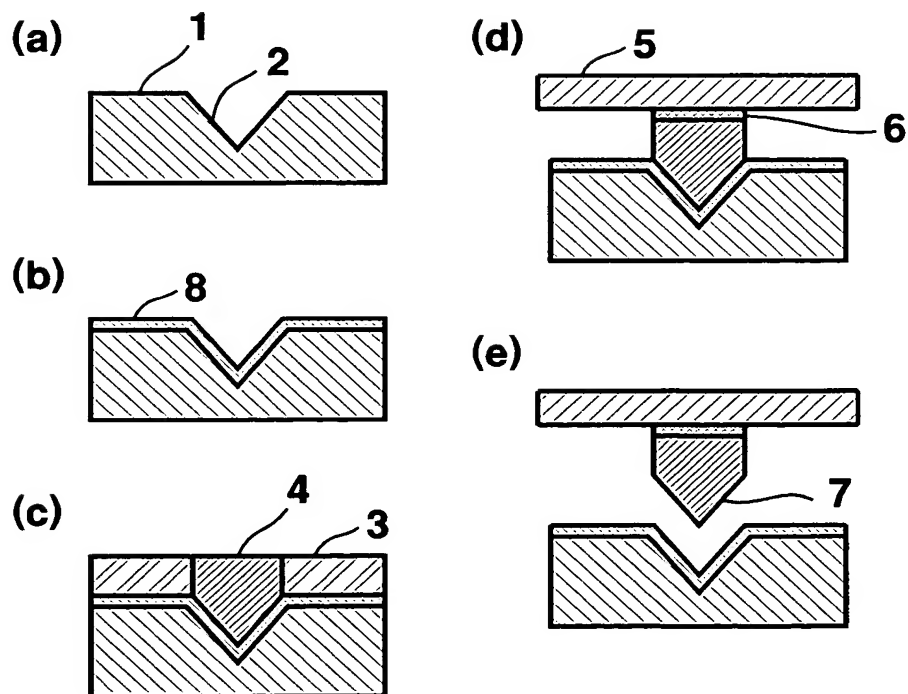
- 7 Au バンプ
- 8 粗化層
- 9 Au ストライクメッキ層

【書類名】 図面

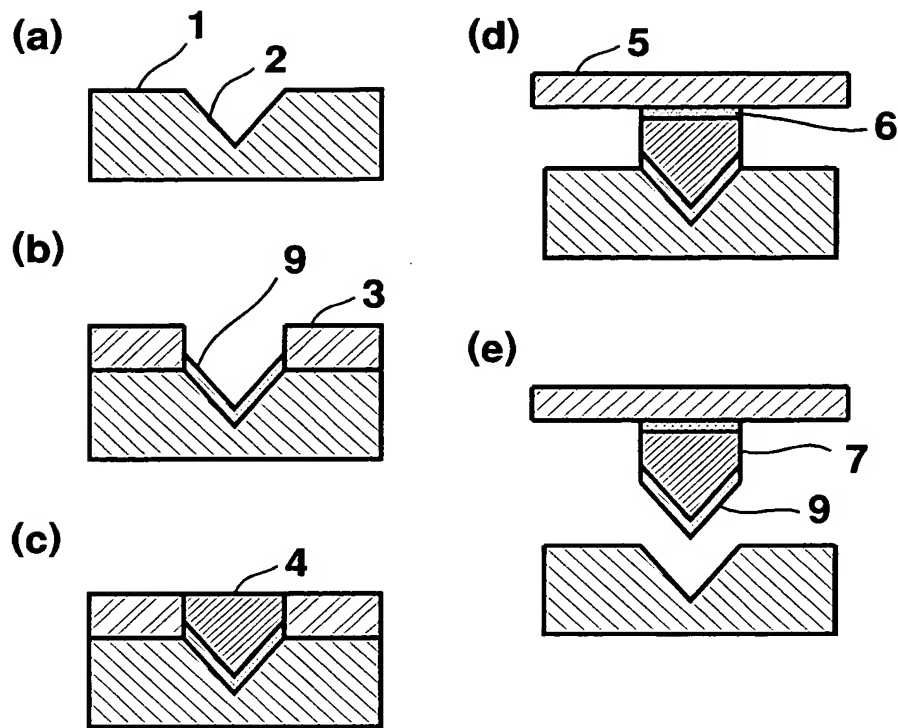
【図 1】



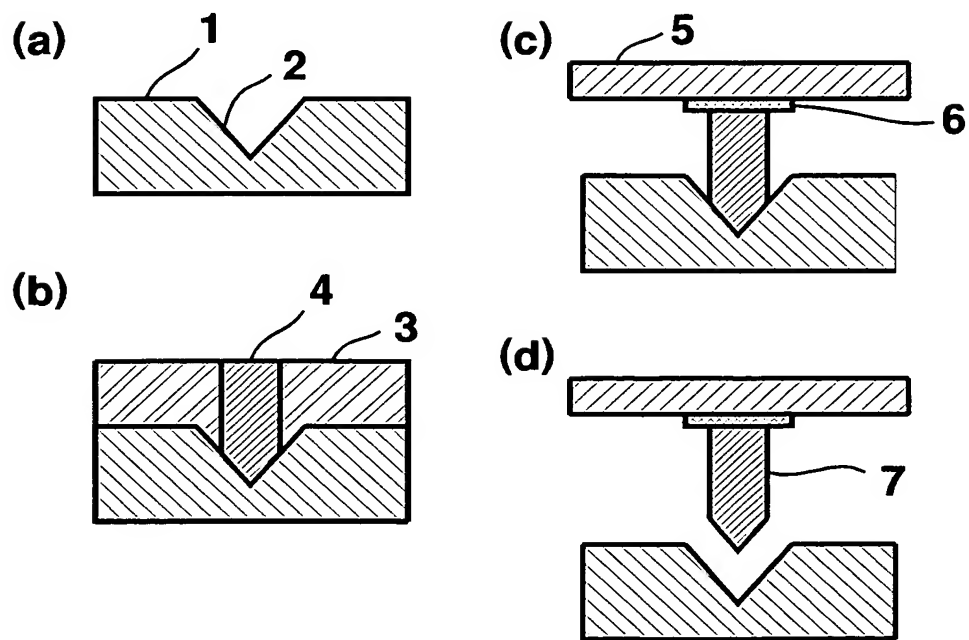
【図 2】



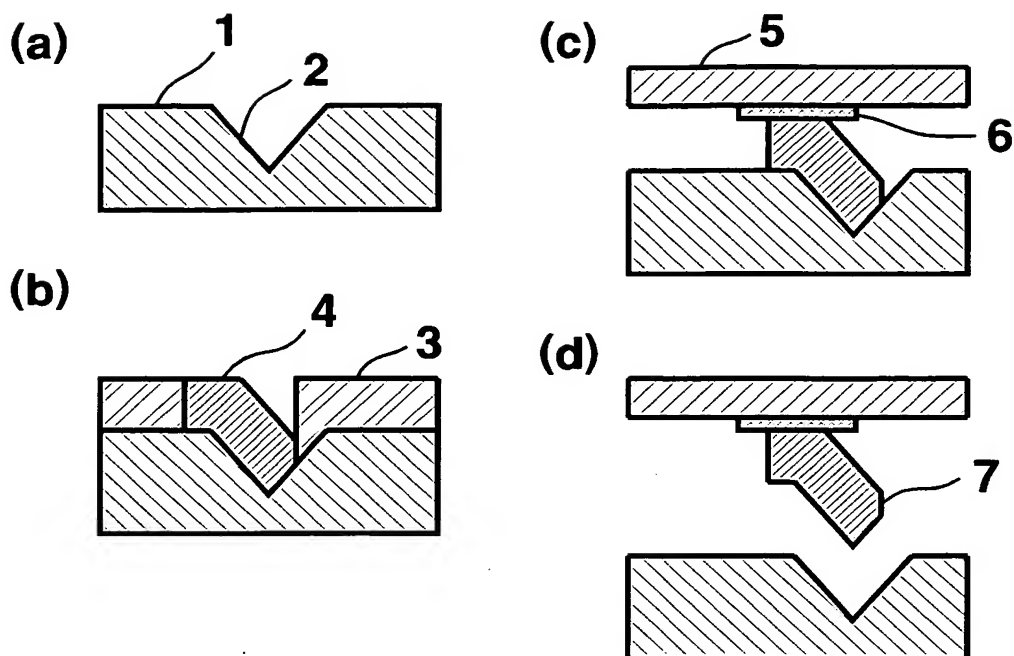
【図 3】



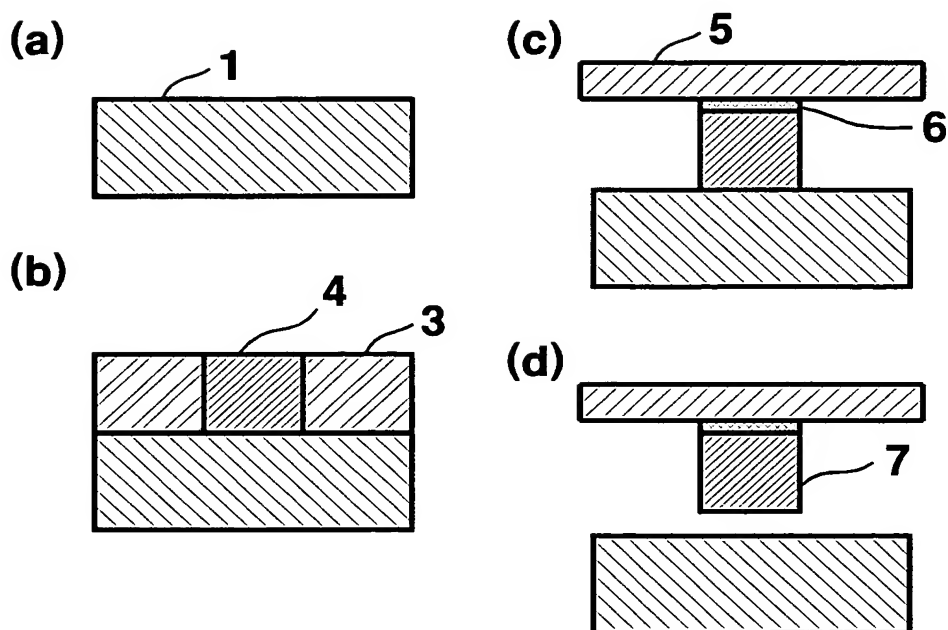
【図 4】



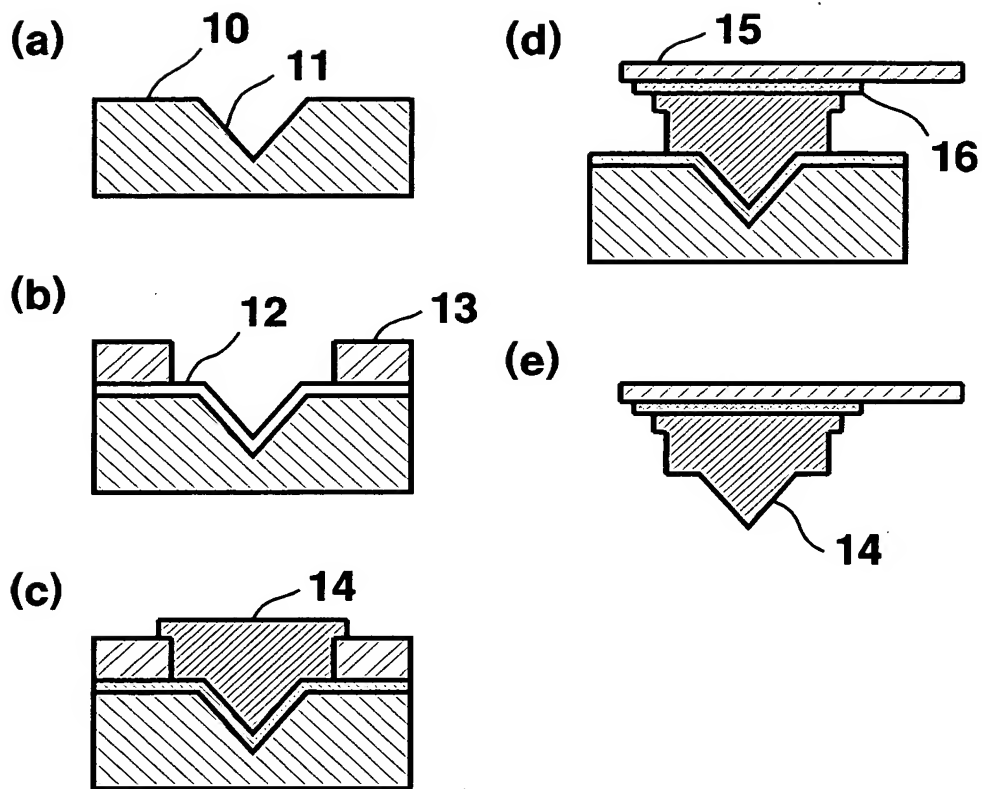
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 バンプ電極の生産効率を向上させる。

【解決手段】 ボロンが注入され、ピット 2 が形成された高濃度不純物 S i テンプレート 1 を用意する（図 1（a））。高濃度不純物 S i テンプレート 1 に、メッキレジスト 3 を形成し、ピット 2 の部分を開口する。つづいて、高濃度不純物 S i テンプレート 1 に電界をかけ、メッキレジスト 3 の開口部に A u を電解メッキ法により埋め込み A u メッキ埋込層 4 とする（図 1（b））。半導体チップ 5 に電極パッド 6 を形成しておき、高濃度不純物 S i テンプレート 1 のメッキレジスト 3 を剥離してから、半導体チップ 5 の電極パッド 6 を A u メッキ埋込層 4 に位置合わせし、熱圧着により接合する（図 1（c））。A u メッキ埋込層 4 を電極パッド 6 に転写させ、A u バンプ 7 を半導体チップ 5 に形成する（図 1（d））。

【選択図】 図 1

特願 2 0 0 3 - 0 1 0 1 9 2

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社

特願 2 0 0 3 - 0 1 0 1 9 2

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社